

BOUNDARY-SCAN PROJEKTOVANJE ELEKTRONSKIH KOLA

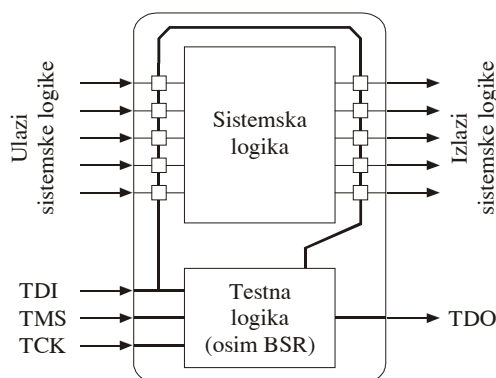
Dejan M. Maksimović, Miljana Lj. Sokolović
Univerzitet u Nišu, Elektronski fakultet, Beogradska 14, 18000 Niš

Sadržaj – Boundary scan koncept projektovanja za testabilnost podrazumeva ugradnju dodatne testne logike u čip ili sistem radi pojednostavljenja testiranja nakon njegove proizvodnje i radi dijagnostike defekata u toku eksploatacije i održavanja. U ovom radu opisana je jedna praktična implementacija boundary scan standarda IEEE.Std. 1149.1 za testiranje digitalnih sistema. Projektovana testna logika za boundary scan implementirana je na Xilinx-ovom FPGA čipu XC4003E i testirana dovođenjem testnih signala iz računara preko paralelnog digitalnog ulazno/izlaznog interfejsa PC-DIO-96/PnP.

1. UVOD

Boundary scan koncept projektovanja za testabilnost danas je široko prihvaćen kod gotovo svih proizvođača integriranih kola i štampanih ploča. Ovim konceptom se garantuje sistematski pristup logici ugrađenoj na čipu ili štampanoj ploči radi jeftinog i efikasnog testiranja nakon proizvodnje, u toku eksploatacije i prilikom održavanja sistema [1, 2, 3].

Boundary scan metod projektovanja definisan je IEEE standardom 1149.1 (u daljem tekstu: BS1149.1). Ovaj standard podrazumeva ugradnju dodatne testne logike u čip radi pojednostavljenja testiranja logike na čipu i u njegovom okruženju. Čip realizovan u skladu sa BS1149.1 sastoji se od *sistemske logike* koja obavlja primarnu funkciju čipa i dodatne *testne logike*, kao što je to prikazano na slici 1. Jedna praktična implementacija testne logike za BS1149.1 pomoću diskretnih CMOS komponenti opisana je u [4]. Za diskretnu implementaciju bilo je potrebno 32 čipa. U ovom radu opisaćemo implementaciju istog kola ostvarenu korišćenjem samo jednog FPGA čipa.



Sl. 1: Struktura čipa realizovanog u skladu sa BS1149.1

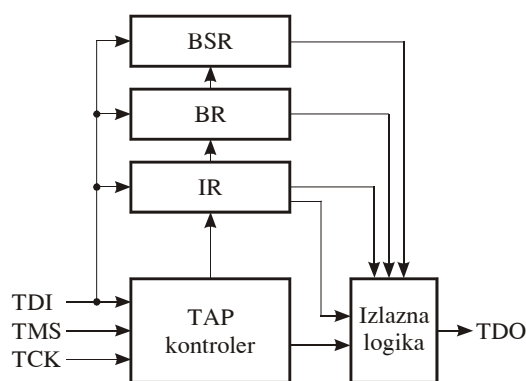
2. PROJEKTOVANJE PREMA BOUNDARY-SCAN STANDARDU

Dodatna testna logika za projektovanje u skladu sa BS1149.1 sastoji se od sledećih celina (videti sliku 2): boundary-scan registar (BSR), bypass registar (BR), instrukcijski registar (IR), TAP (test access port) kontroler i izlazna logika. Boundary scan registar predstavlja niz

boundary scan ćelija (BSC) i ima mogućnost serijskog i paralelnog upisa i čitanja. Boundary scan ćelije su memorijski elementi koji su raspoređeni po obodu integriranog kola. Signal sa primarnog ulaza mora da prođe kroz jednu BSC da bi dospao do sistemske logike. Takođe, signal sa izlaza sistemske logike mora da prođe kroz jednu BSC da bi dospao do primarnog izlaza (vidi sliku 1).

Spolja gledano, čip projektovan prema BS1149.1 ima četiri dodatna pina: TDI - ulaz za testne podatke, TDO - izlaz za testne podatke, TMS - ulaz za izbor načina rada i TCK - testni takt. Ovi pinovi, posmatrani zajedno, formiraju port za testiranje - TAP (Test Access Port).

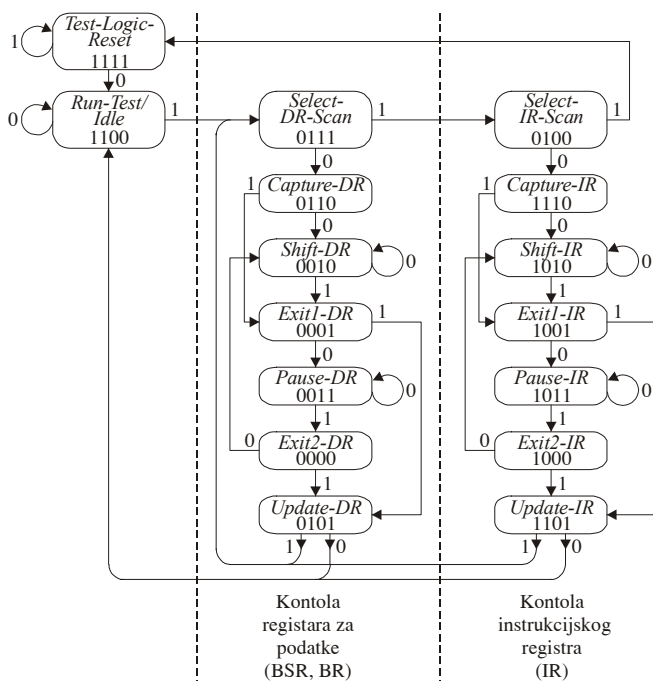
BR služi za premošćavanje čipa i koristi se pri testiranju složenijih sistema koji se sastoje od više čipova projektovanih u skladu sa BS1149.1. U IR upisuje se kôd odgovarajuće instrukcije čime se bira jedan od više mogućih testnih režima. TAP kontroler upravlja radom celokupne testne logike. Upravljanje TAP kontrolera ostvaruje se dovođenjem odgovarajućih talasnih oblika na TMS (test mode select) ulaz i TCK (test clock) ulaz. Izlazna logika predstavlja multiplekser kojim se bira koji će od registara (BSR, BR ili IR) biti vezan između TDI i TDO.



Sl. 2: Blok šema testne logike

TAP kontroler generiše taktne i upravljačke signale za BSR, BR, IR i izlaznu logiku, a realizuje se u obliku konačnog automata sa 16 stanja. Stanja TAP kontrolera opisuju se pomoću četiri bita $Q_3Q_2Q_1Q_0$. Stanje TAP kontrolera menja se pri rastućoj ivici taktnog signala TCK saglasno dijagramu stanja prikazanom na slici 3. Naredno stanje određeno je trenutnim stanjem i stanjem signala TMS.

Spolja gledano, radom testne logike upravlja se dovođenjem odgovarajućeg niza logičkih nula i jedinica na TMS ulaz. Na primer, ako želimo da TAP kontroler dovedemo iz stanja *Test-Logic-Reset* u stanje *Shift-DR*, potrebno je u četiri taktne intervala signala TCK na TMS ulaz dovesti sledeći niz nula i jedinica "0100". Kako se testna logika okida rastućom ivicom signala TCK, poželjno je da se vrednost signala TMS menja pri opadajućoj ivici signala TCK. Isto pravilo važi i za signal TDI.



Sl. 3: Dijagram stanja TAP kontrolera

Testni režim bira se upisivanjem odgovarajuće instrukcije u IR. Prema BS1149.1, postoje tri obavezne instrukcije: *sample/preload*, *bypass* i *extest*. Osim ovih, obično se ugrađuje i opcionalna *intest* instrukcija. Ovim instrukcijama odgovaraju četiri testna režima: *sample/preload* režim, *bypass* režim, *extest* režim i *intest* režim. Da bi se instrukcija upisala u IR, potrebno je TAP kontroler dovesti u stanje *Shift-IR* dovodenjem odgovarajućeg niza nula i jedinica na TMS ulaz. Time se između TDI ulaza i TDO izlaza postavlja IR, a IR je u režimu serijskog upisa/čitavanja podataka. Zatim se sa TDI ulaza u IR učitava kôd instrukcije prema tabeli 1.

Tabela 1: Kôdovi ugrađenih instrukcija

Instrukcija	Kôd
<i>extest</i>	00
<i>sample/preload</i>	10
<i>intest</i>	01
<i>bypass</i>	11

Boundary scan registar ima onoliko bitova koliki je ukupan broj primarnih ulaza i izlaza sistemske logike. Princip rada boundary scan ćelije detaljnije je opisan u [4]. Dužina instruktorskog registra određena je potrebnim brojem bitova za kodiranje svih željenih instrukcija. Pošto su tri instrukcije obavezne, minimalna dužina IR-a je 2 bita. BSR i IR su dvostepeni registri. Podaci se uvek učitavaju u dva koraka. U prvom koraku podaci se sa serijskog ili paralelnog ulaza učitavaju u prvi stepen, a zatim se u drugom koraku postavljaju na izlaze registra. Kada je TAP kontroler u stanju *Capture-DR* (*Capture-IR*), BSR (IR) je u režimu paralelnog upisa podataka. Kada je TAP kontroler u stanju *Shift-DR* (*Shift-IR*), BSR (IR) je u režimu serijskog upisa/čitavanja. Učitana stanja postaju validna na izlazu BSR (IR) onda kad TAP kontroler uđe u stanje *Update-DR* (*Update-IR*).

Da bi se verificovala ispravnost projektovane testne logike, jedno jednostavno digitalno kolo projektovano je

prema BS1149.1. Električna šema ovog kola prikazana je na slici 4. Izabrana je jednostavna sistemska logika koja obavlja funkciju trouzalnog I kola. Sistem ima tri primarna ulaza: I1, I2, I3 i jedan primarni izlaz O1. Paralelni ulazi instruktorskog registra vezani su za primarne ulaze I1 i I2. Signal *Mode* za boundary scan ćelije formiran je "I" logičkom operacijom nad signalima *ModeIR* i *ModeTAP*. Signal *Mode* je na logičkoj nuli u tri slučaja: 1) kada je TAP kontroler u stanju *Test-Logic-Reset*, (tada je *ModeTAP*=0), 2) kada je u IR učitana instrukcija *bypass* (tada je *ModeIR*=0) i 3) kada je u IR učitana instrukcija *sample/preload* (tada je *ModeIR*=0). U svim ovim slučajevima boundary scan ćelije su transparentne za sistemske signale, odnosno sistemska logika neometano funkcioniše.

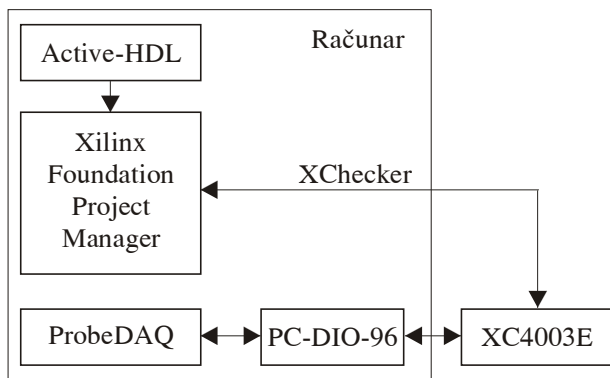
3. IZRADA PROTOTIPA PROJEKTOVANOG KOLA

Funkcionalnost projektovane testne logike verifikovana je prvo logičkom simulacijom korišćenjem simulatora Active-HDL [5]. Jednom verifikovan opis u VHDL-u zatim je učitao u Xilinx-ov Foundation Project Manager [6] u kome je kolo dalje sintetizovano i implementirano za FPGA čip XC4003E. U istom programu generisan je bit-stream za konfigurisanje čipa i čip je konfigurisan. Na ovaj način je dobijen FPGA prototip koji je zatim testiran.

Sistem za projektovanje, opis, sintezu, implementaciju, konfigurisanje i testiranje prototipa projektovanog sistema prikazan je blok dijagramom na slici 5. Sistem se sastoji od hardvera i softvera. Hardver čine PC kompatibilni računar pod Windows NT-om i štampana ploča sa čipom XC4003E, te kablovi kojima se ostvaruje dvostruka veza među njima. Računar je preko serijskog porta povezan sa FPGA čipom pomoću XChecker kabla [6]. Preko ove veze čip se konfigurira. Druga veza ostvaruje se preko paralelnog digitalnog 96-bitnog ulazno/izlaznog interfejsa PC-DIO-96/PnP. Ovom vezom dovodi se pobuda i očitava odziv programiranog čipa.

Softver čine tri nezavisna programa. VHDL simulator Active-HDL služi za unos logičke šeme i logičku verifikaciju. Xilinx Foundation Project Manager koristi se za sintezu i implementaciju sistema i konfigurisanje čipa. Program ProbeDAQ koristi za testiranje sistema na čipu. Napisan je u programskom jeziku C korišćenjem NI-DAQ biblioteke drajvera [7] i omogućuje kontrolu 96-bitnog paralelnog porta na PC-DIO-96/PnP interfejsu. Na svaku od 96 ulazno/izlaznih linija može se dovesti proizvoljni talasni oblik, stanje svake linije može se očitati i talasni oblici se mogu nacrtati na ekranu računara i analizirati.

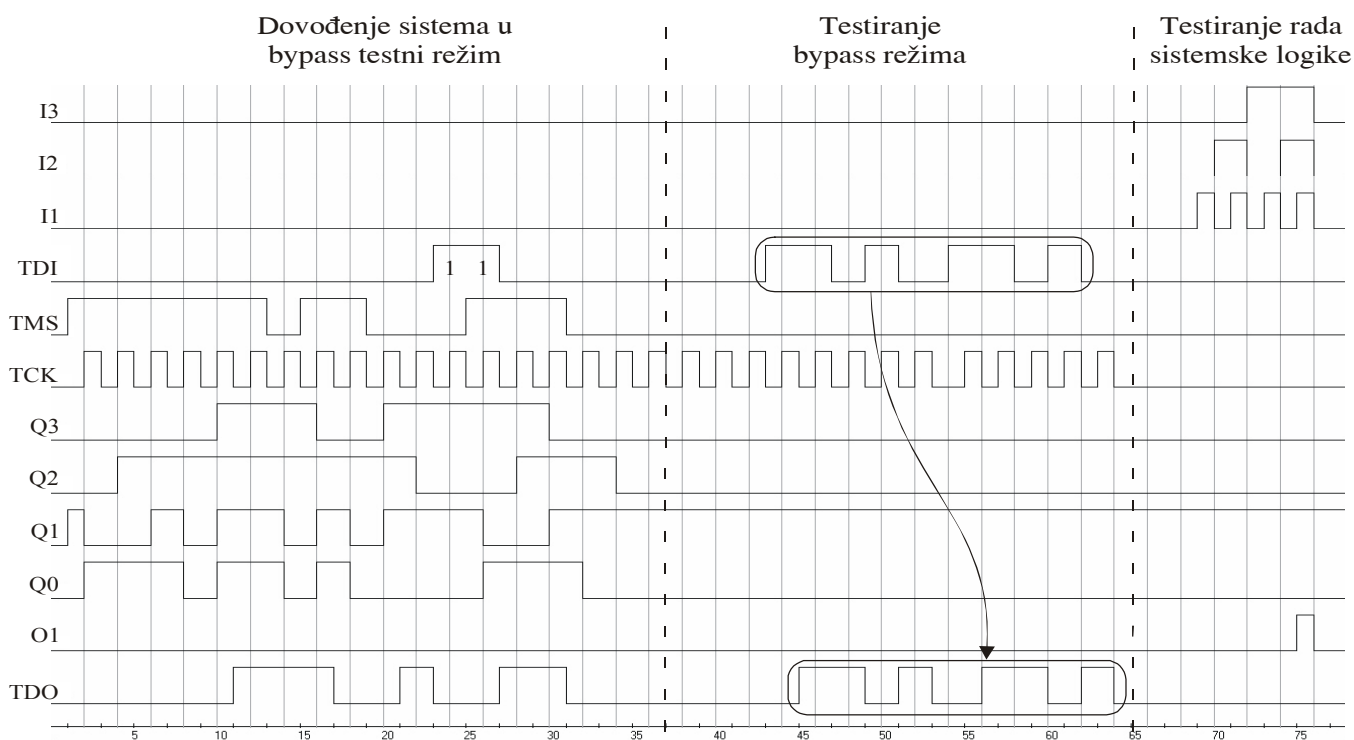
Na slici 6 prikazan je izgled layout-a projektovanog kola na čipu XC4003E, dobijen nakon njegove implementacije u Xilinx Foundation Project Manager-u. Maksimalna radna frekvencija sistema iznosi 49MHz. S obzirom da je sistemska funkcija vrlo jednostavna, može se smatrati da složenost sistema odgovara složenosti testne logike za projektovanje prema BS1149.1. Celokupna logika na čipu prikazanom na slici 6 sadrži samo 19 flipflopova, dok čip XC4003E sadrži ukupno 200 flip-flopova koji se mogu koristiti pri konfigurisanju funkcije čipa. Za konfigurisanje funkcije projektovanog sistema iskorišćeno je 17 od raspoloživih 100 programabilnih ćelija.



Sl. 5: Sistem za izradu FPGA prototipa i verifikaciju sistema na čipu

4. EKSPERIMENTALNI REZULTATI

Na slici 7 prikazani su talasni oblici signala u kolu koji ilustruju ponašanje kola u *bypass* testnom režimu. Eksperiment se sastoji od tri faze: 1) dovođenje sistema u *bypass* testni režim, 2) testiranje funkcionisanja *bypass* registra i 3) testiranje sistemske logike. Pomoću odgovarajuće kontrolne sekvence TAP kontroler je doveden u početno stanje *Test-Logic-Reset*, odatle je preveden u stanje *Shift-IR*, učitana je *bypass* instrukcija dovođenjem sekvence "11" na TDI ulaz, pa je kontroler preveden u stanje *Shift-DR*. Dok je TAP kontroler u stanju *Shift-DR* proizvoljni talasni oblik, doveden na TDI ulaz, prolazi kroz *bypass* registar i pojavljuje se na TDO izlazu. Signal na TDO izlazu



Sl. 7: Talasni oblici signala u *bypass* režimu rada

validan je jedan ciklus testnog takta TCK po njegovom učitavanju sa TDI ulaza. Istovremeno, sistemska logika mora da radi neometano i nezavisno od testne logike. S obzirom da sistemska logika obavlja funkciju trouglaznog I kola, na O1 izlazu pojavljuje se logička jedinica jedino kada je na svim primarnim ulazima (I1, I2 i I3) istovremeno prisutna logička jedinica.

5. ZAKLJUČAK

U ovom radu opisan je proces razvoja FPGA prototipa digitalnog sistema korišćenjem boundary scan koncepta projektovanja za testabilnost. Sistem je implementiran na čipu XC4003E. Eksperimentalno je proverena ispravnost sistema.

Projektovana testna logika za implementaciju boundary scan standarda univerzalna je i može se ugraditi uz mnogo složeniju sistemska funkciju, a korišćenjem istog FPGA čipa. Na čipu XC4003E testna logika zauzima samo 17% ukupno

raspoloživih programabilnih ćelija, a koristi samo 8% raspoloživih sekvencijalnih elemenata.

LITERATURA

- [1] H. Bleeker, P. v. d. Eijnden, F. d. Jong, "Boundary-Scan Test — A Practical Approach", Kluwer Academic Publishers, Dordrecht, Germany, 1993.
- [2] IEEE Std 1149.1 (including IEEE Std 1149.1a), "IEEE Standard Test Access Port and Boundary-Scan Architecture", IEEE Computer Society, New York, USA, 1993.
- [3] "Supplement to IEEE Std 1149.1-1990, IEEE Standard Test Access Port and Boundary-Scan Architecture", IEEE, New York, USA, 1995.
- [4] D. M. Maksimović, V. M. Panić, K. M. Zarković, Z. M. Petković, D. P. Milovanović, D. Topisirović, V. B. Litovski, "Implementacija digitalnih elektronskih kola

primenom boundary scan standarda", *Tehnika-Elektrotehnika*, 50, 4-5, E7-E15, 2001.

- [5] *Active-HDL*, ver. 3.6., ALDEC Inc., 1998.
- [6] <http://www.xilinx.com>
- [7] "*NI-DAQ for PC Compatibles Version 6.1, Release Notes*", National Instruments, Part Number 321647C-01, April 1998.

Abstract: Boundary scan concept of design for testability assumes the incorporation of additional test logic into the chip or printed circuit board that simplifies the testing and diagnostics of the defects in the system after production, as

well as during exploitation and maintenance. This paper presents a practical implementation of boundary scan standard for digital systems testing. Designed test logic for boundary scan, was implemented using Xilinx FPGA chip XC4003 and tested by applying appropriate test signals from the PC using parallel digital input/output interface PC-DIO-96/PnP.

ELECTRONIC CIRCUIT BOUNDARY SCAN DESIGN

Dejan M. Maksimović, Miljana Lj. Sokolović