

PROJEKTI ZADACI

1. Hardverska inovacija čipa IMPEG

2. Čip za enkripciju otporan na bočne napade

4. Razvoj algoritama za projektovanje složenih kola i sistema

Sistem za merenje, daljinsko očitavanje i upravljanje potrošnjom električne energije na niskonaponskoj mreži otporan na bočne napade preko struje napajanja

OSTVARENI REZULTATI

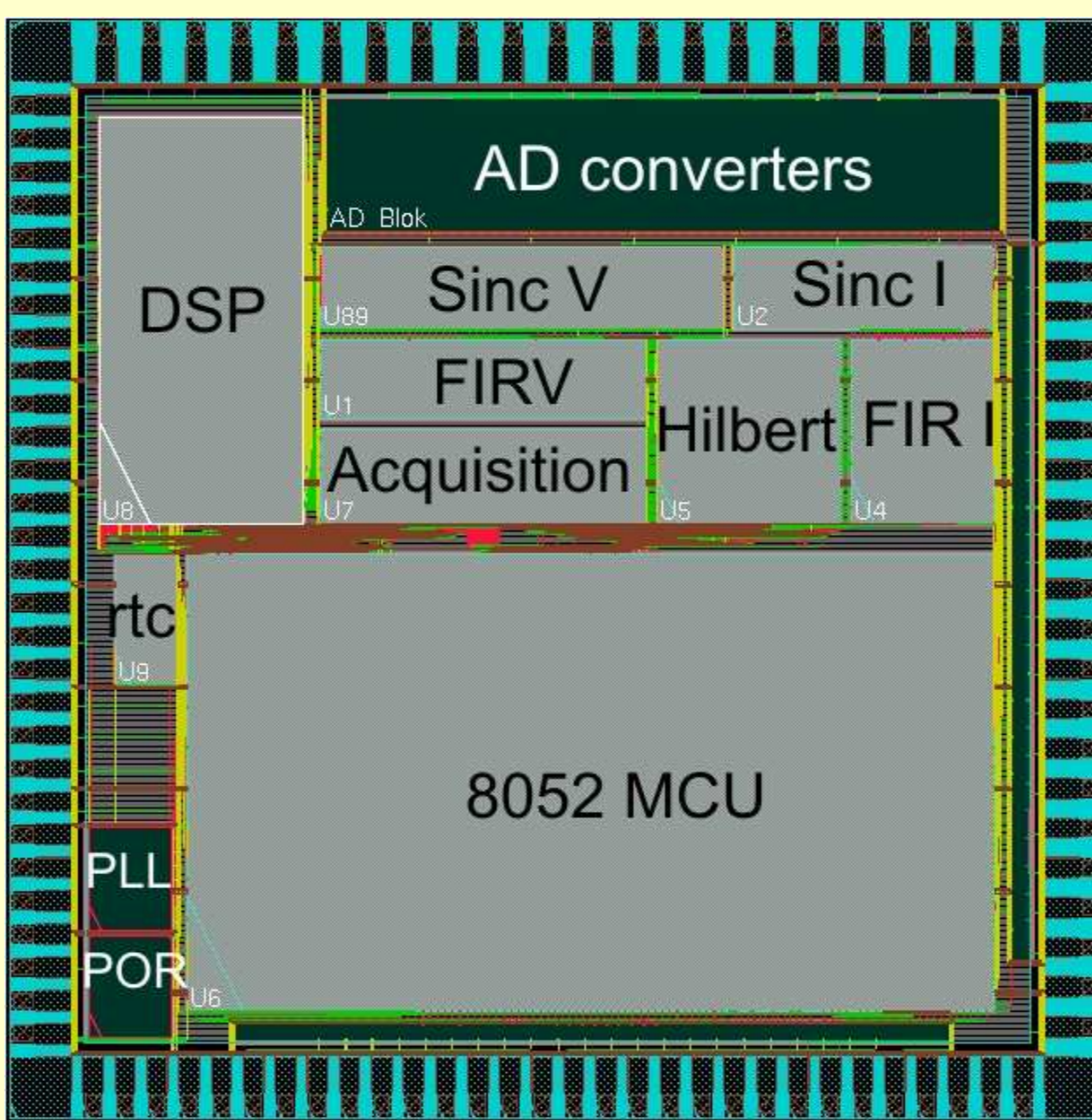
TEHNIČKA REŠENJA

A. Nova tehnička rešenja

1. Novi koncept procene WCA za SoC
2. IMPEG3-Više kanalni ADC
3. IMPEG3-Temp. kompenzacija
4. Biblioteka WDDL ćelija
5. Enkripcijski čip
6. VNM u dijagnostici SoC
7. VNM u predviđanju potrošnje EE

B. Poboļšana postojeća rešenja

1. IMPEG3-DSP Low Power
2. IMPEG3-8052 Low Power



NAUČNI DOPRINOS

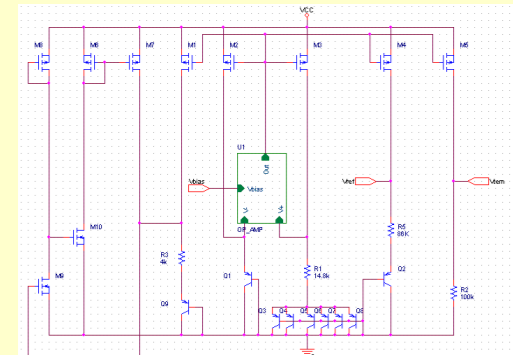
A. Objavljeni radovi

1. Međunarodne monografije M14 - 3
2. Međunarodni časopisi M23 - 6
3. Međunarodne konferencije M33 - 14
4. Domaće konferencije M63 - 22

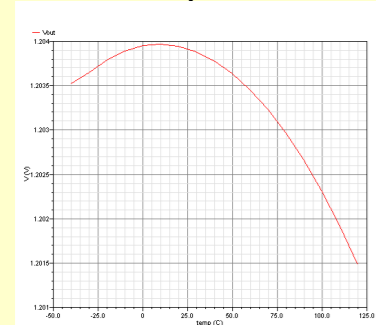
B. Doktorske teze

1. Odbranjene - 1
2. Prijavljene - 1

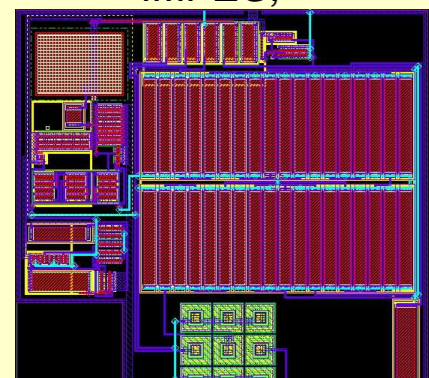
Podsystem za temperatursku kompenzaciju na čipu IMPEG3



Modifikovana električna šema ugrađenog izvora referentnog napona



Temperaturna stabilnost izvora referentnog napona u kolima IMPEG3



Lejaut podistema za temperatursku kompenzaciju

- Temperaturski senzor,
 - PTAT iz band-gap generatora
- AD konvertor,
- Memorijski blok,
- Odgovarajući deo u DSP bloku,
- Softver za programiranje mikrokontrolera.

Temperaturski opseg od -40 do 80°C podeljen na tri podopsega: nominalni opseg (od -10 °C do +65°C), opseg niskih temperatura (T<-10 °C) i opseg visokih temperatura (T>65 °C).

U nominalnom opsegu korekcija nije neophodna.

U opsegu niskih i visokih temperatura korekcija promenom kalibracionih konstanti za ofset, pojačanje i fazu napona i struja kao i kalibracionih konstanti za aktivnu i reaktivnu snagu. Dodatno je potrebno kompenzovati odstupanja nastala usled temperaturske nestabilnosti frekvencije kristala kvarca.

Podela na tri podopsega omogućava da se granice temperaturskih osegova određuju sa dva bita pri čemu se za konverziju temperature u digitalnu reč mogu iskoristiti obični komparatori.

Projektovanje za malu potrošnju

Identifikovana su dva digitalna bloka IMPEG3 čipa sa najvećom dinamičkom potrošnjom. To su DSP i 8051 mikrokontroler.

Primenjene su su tehnike za smanjenje potrošnje koje se prvenstveno oslanjaju na gejtovanju takta i podataka na magistralama.

Tehnika gejtovanja takta primenjena u DSP bloku smanjila je potrošnju za 27%. Pored gejtovanja takta primenjene su dodatne tehnike: Grej kodiranje stanja konačnog automata DSP-a smanjilo je potrošnju za 35%, dok je dekompozicija konačnog automata u 4 podautomata sa gejtovanom registrima stanja donela učinak u od 42% u odnosu na početnu, neoptimizovanu verziju.

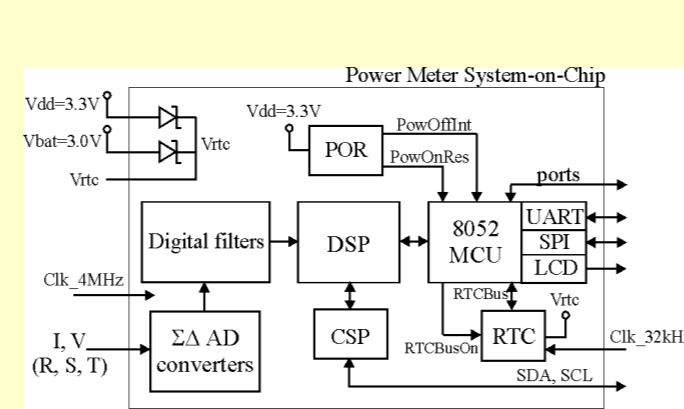
Dobijeno rešenje bloka DSP-a ima potrošnju od svega 1.15mW što je daleko bolje od sličnih kola za digitalno procesiranje signala koja su ugrađena u konkurentnim čipovima koji se trenutno koriste.

Pored potrošnje, prednost postignutog rešenja DSP-a jeste što su rezultati (efektivne vrednosti napona, struje, vrednosti merene aktivne, reaktivne i prevodne snage, kao i energije) izračunavaju do kraja u DSP bloku a ne u 8051 mikrokontroleru čime se štede resursi, vreme i disipacija 8052 mikrokontrolera.

Optimizacijom za malu potrošnju mikrokontrolera 8052 redizajnirani su registri tako da se ni jedan ne taktuje, a sve funkcionalne jedinice miruju dok im se ne dodeli zadatak za izvršenje konkretne instrukcije. Kontrolna logika mikrokontrolera realizovana je tako da se adresne linije i linije za podatke memorija mikrokontrolera menjaju samo u slučajevima kada se u memoriji mikrokontrolera upisuju ili se iz nje čita neki podatak. Tehnika gejtovanja takta upotrebljena je u RTL opisu mikrokontrolera gde je god to bilo moguće uraditi.

Učinak u smanjenju dinamičke potrošnje postignut pomenutim tehnikama je 70% u odnosu na početno neoptimizovano rešenje.

Potrošnja snage i površine pojedinačnih digitalnih blokova prikazani su u Tabeli 2. Ukupna potrošnja digitalnih delova čipa je 8.202mW čime je ovaj čip dobio kvalifikaciju kao sistem sa malom potrošnjom low-power. Važno je naglasiti da čip radi na naponu napajanja od 3.3V i realizovan je u CMOS 0.35µm tehnologiji. Frekvencija na kojoj rade digitalni blokovi čipa jeste 4.194MHz. Merenja na fabrikovanom čipu tek treba da potvrde rezultate simulacija.



Blok šema IMPEG3

Blok	Površina [µm²]	Disipacija [mW]
Sinc - Strujni	4623	0.238
Sinc - Naponski	3077	0.275
FIR - Strujni	6491	0.472
FIR - Naponski	6607	0.489
Hilbert filter	8629	0.323
DSP	21425	1.150
RTC	1437	0.002
XRAM - 2kB	18884	0.010
Int. Dual Port RAM - 256B	7796	0.310
Program memory - SRAM 8kB	50030	2.238
MCU	15082	2.495
Total:	148272	8.202

Površina i potrošnja pojedinih blokova u čipu IMPEG3

Modelovanje i simulacija u kolima sa mešovitim signalima

Potpuno novi koncepta u proceni najnepovoljnijeg slučaja (Worst Case) kod složenih digitalnih kola i sistema na čipu.

Zasnovan na primeni klasičnih simulatora digitalnih kola. Moguća procena najnepovoljnijih kašnjenja na svim vezama u složenom digitalnom kolu i to uz samo jednu simulaciju.

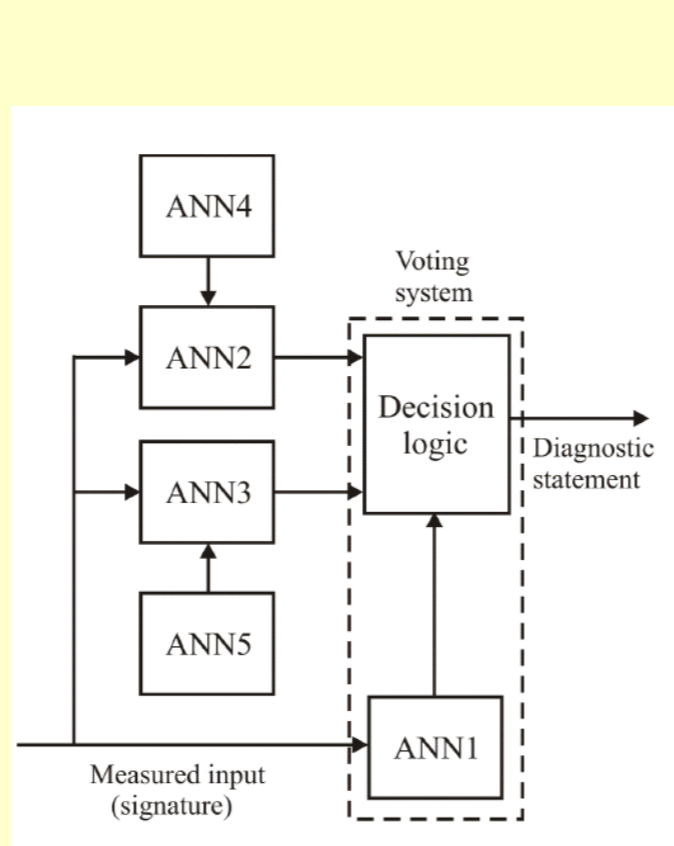
Pogodan za statističku analizu najnepovoljnijeg slučaja kašnjenja u složenom digitalnom kolu.

Algoritam je implementiran u VHDL jeziku za opis hardvera i primenljiv je na simulatorima koji podržavaju VHDL opis kola i sistema. Ova činjenica ilustruje tvrdnju da se radi o rezultatima čija primena prevazilazi samo potrebe ovog projekta.

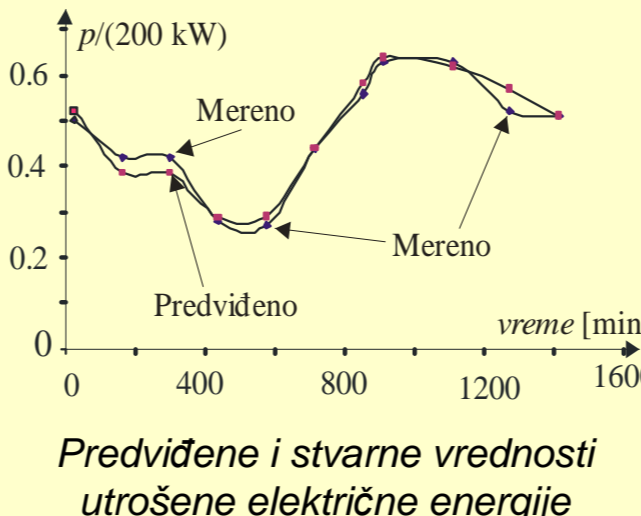
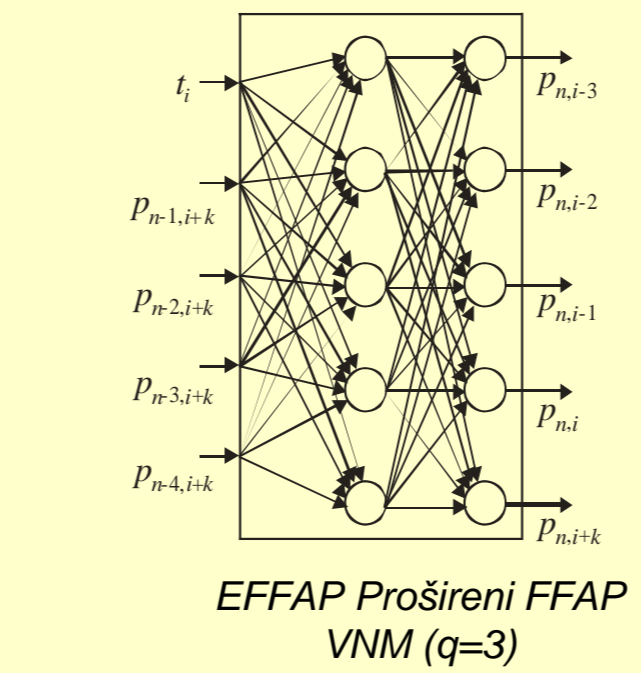
Primena veštačkih neuronskih mreža

- u dijagnostici defekata složenih digitalnih kola i sistema na čipu
- u podršci projektovanju za životnu sredinu: ISO14000, direktiva EC32 2005
- u predikciji potrošnje električne energije

Primena paralelnih računarskih sistema - grid tehnologija



Hijerarhijski dijagnostički sistem zasnovan na primeni VNM



Predviđene i stvarne vrednosti utrošene električne energije

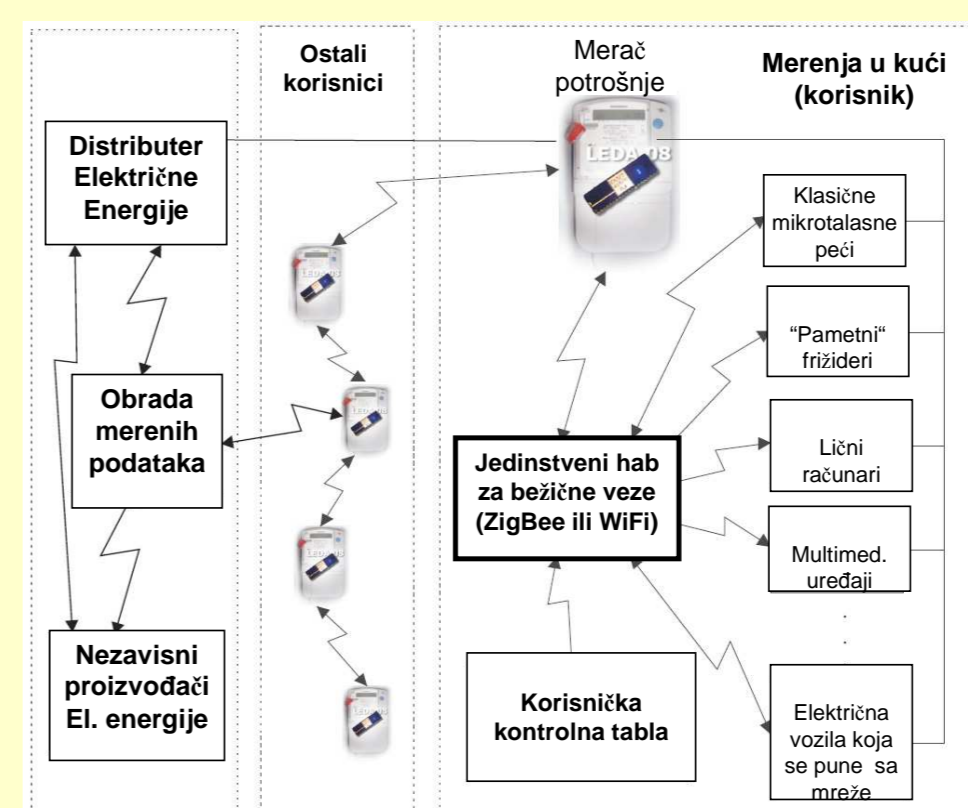
Čip za enkripciju otporan na bočne napade

Primena:

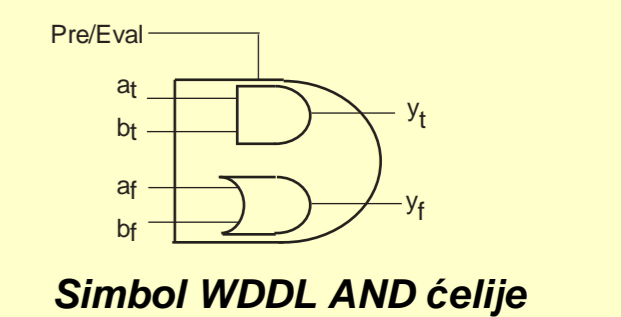
U elektronskim brojlilima koja su deo sistema kontrole potrošnje i naplate električne energije

Efekti:

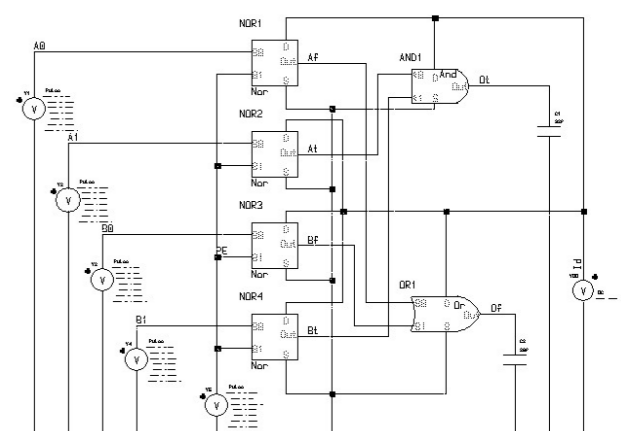
Daljinsko očitavanje
Sprečavanje zloupotrebe zaštitom od "napada sa strane" (bočni napad)



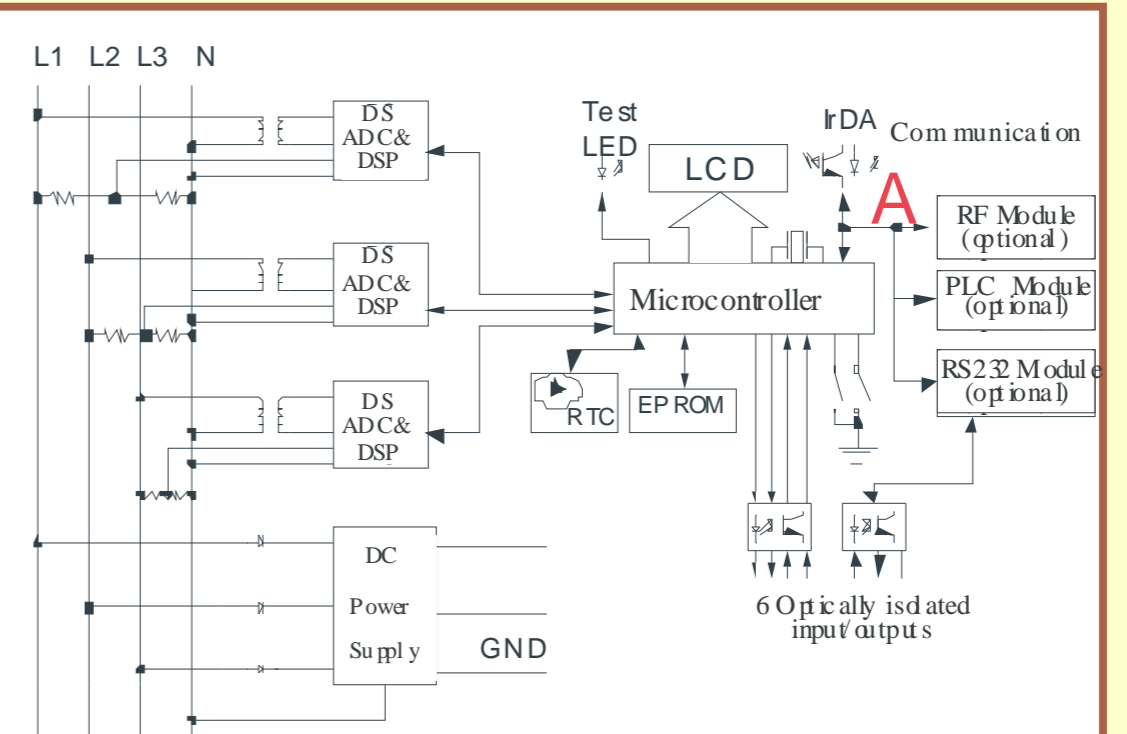
Sistem za daljinsko očitavanje, upravljanje potrošnjom i naplatu električne energije



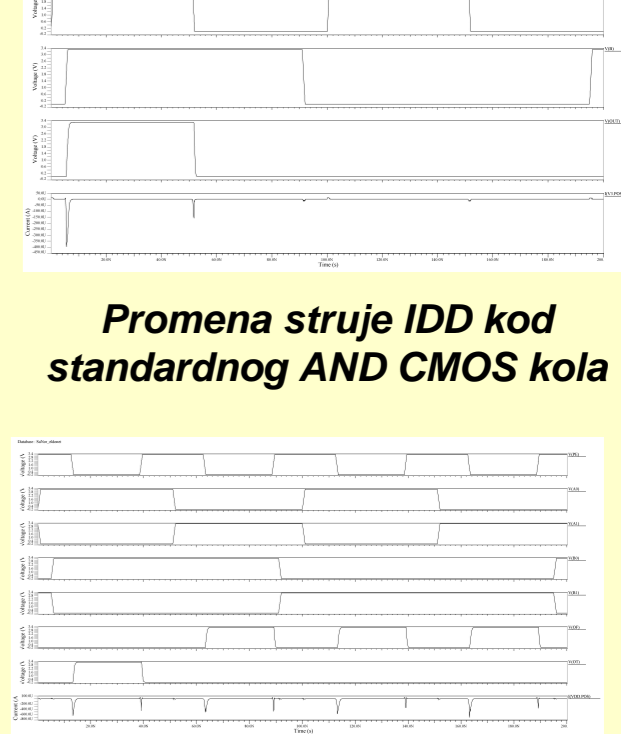
Simbol WDDL AND ćelije



Električna šema WDDL AND ćelije



Mesto enkripcijskog čipa u elektronskom brojilu

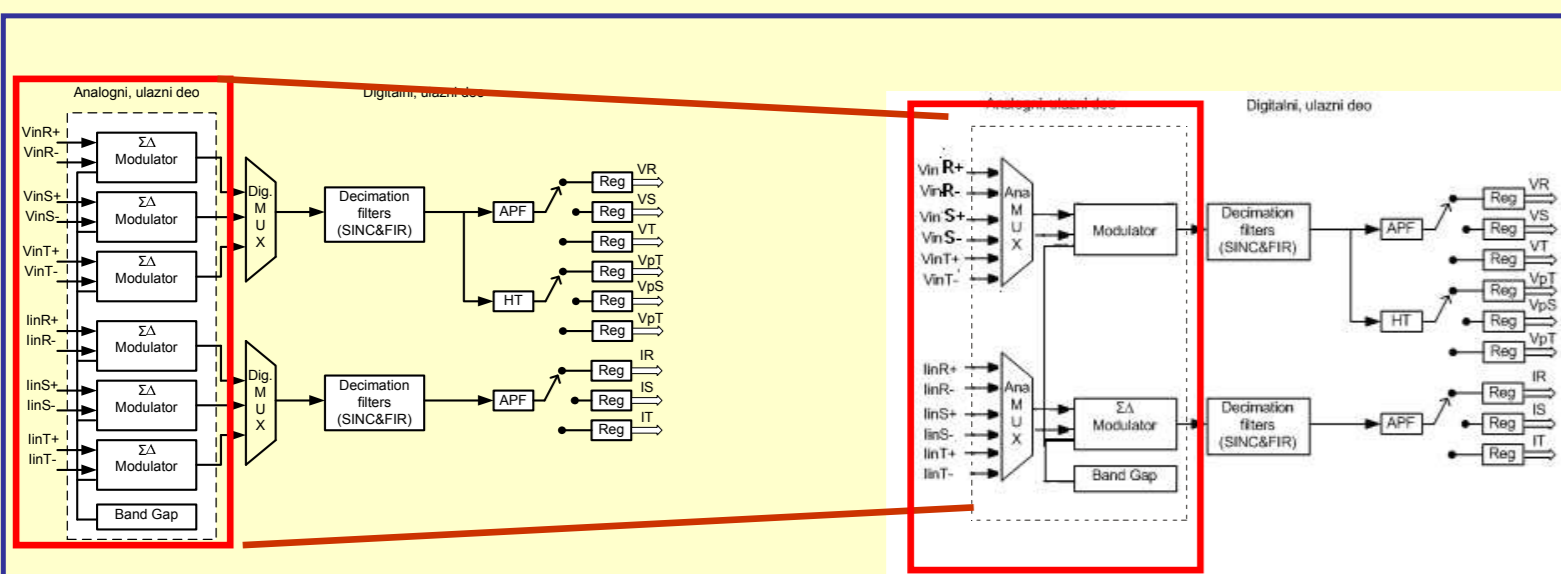


Promena struje IDD kod standardnog AND CMOS kola

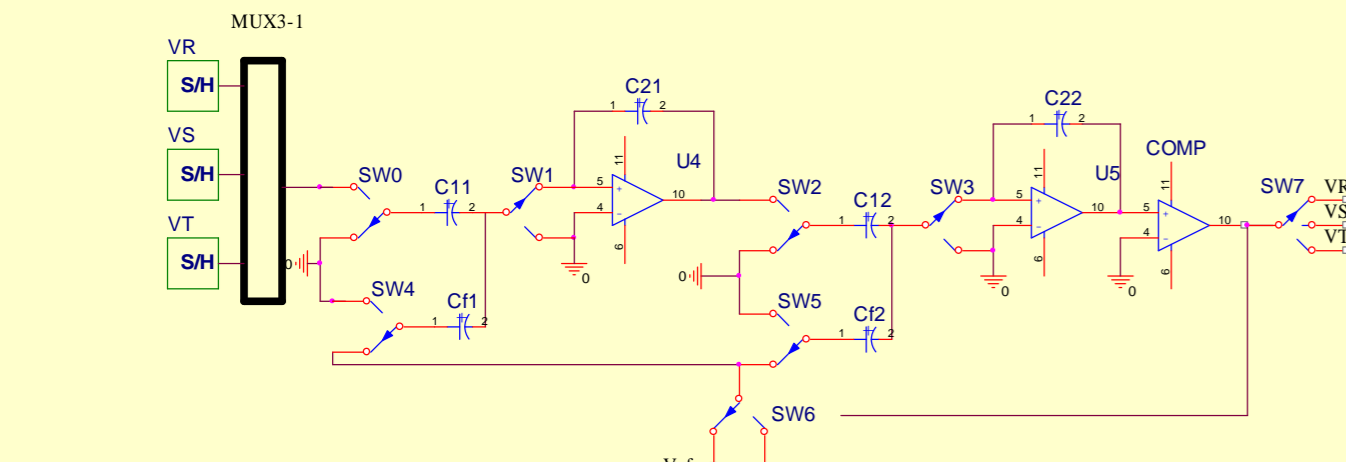
Promena struje IDD kod WDDL AND CMOS kola

Više kanalni ΣΔ A/D konvertor

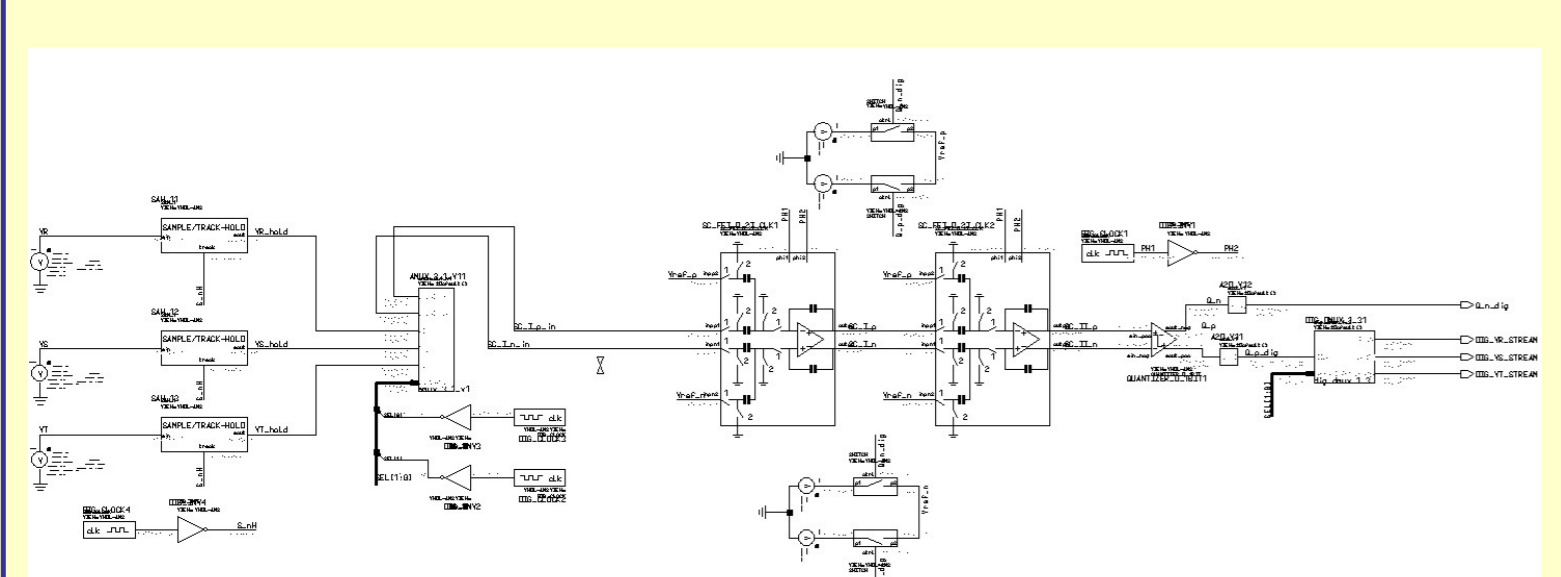
Šest AD konvertora zamenjeno sa dva trokanalna konvertora
Frekvencija osnovnog takta povećana 4x
Zadržani svi osnovni blokovi iz prethodne verzije (operacioni pojačavači)
Kapacitivnosti u integratorima smanjene proporcionalno povećanju frekvencije



Arhitekture originalnog i više kanalnog AD konvertora



Uprošćena šema trokanalnog AD konvertora



Blok šema VHDL-AMS modela trokanalnog AD konvertora